

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

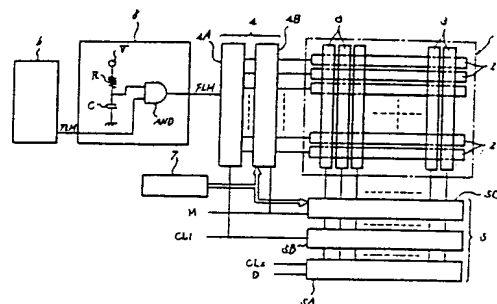
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) LIQUID CRYSTAL DISPLAY DEVICE

(11) 63-304228 (A) (43) 12.12.1988 (19) JP
 (21) Appl. No. 62-139734 (22) 5.6.1987
 (71) HITACHI LTD (72) TOSHIMITSU MATSUDO(4)
 (51) Int. Cl. G02F1/133, G09G3/36

PURPOSE: To improve the durability of a liquid crystal display element by providing a reset circuit which puts all the scanning electrodes in a non-selected state for the prescribed period after a power source is supplied.

CONSTITUTION: The reset circuit 8 is provided between a shift register circuit 4A of a scanning electrode driving circuit 4 and a controller circuit 6. The reset circuit 8 is capable of putting all the scanning electrodes 2 in the non-selected state by outputting an "L" from an AND circuit AND to the shift register circuit 4A during the time before a capacity element C is charged after the supply of the power source. The delay time (the prescribed period after the supply of the power source) of this display start signal FLM is set longer than the time when the display data signal D and clock signals CL₁, CL₂ from the controller circuit 6 are decided (stabilized). The impression of an excess DC component to a liquid crystal layer is thereby prevented for the prescribed period after the supply of the power source and, therefore, the durability of the liquid crystal element is improved.



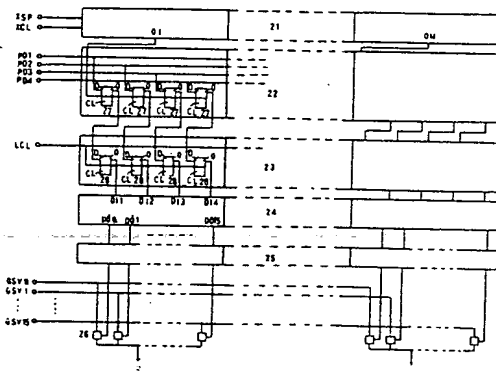
4B: select switch circuit. 5A: shift register circuit. 5B: data latch circuit. 5C: select switch circuit. 7: power source circuit

(54) DRIVING CIRCUIT FOR LIQUID CRYSTAL PANEL

(11) 63-304229 (A) (43) 12.12.1988 (19) JP
 (21) Appl. No. 62-140386 (22) 4.6.1987
 (71) SEIKO EPSON CORP (72) MASAHI UCHIDA(1)
 (51) Int. Cl. G02F1/133

PURPOSE: To obtain a driving means best suited for a large-capacity display of a low bit gradation number by constituting a titled circuit of shift registers, a latch A circuit of K bit parallel, a latch B circuit which simultaneously latches the data thereof, and analog switch groups for selecting one among gradation signals, etc.

CONSTITUTION: This circuit is constituted of the shift registers 21 of the number of M-stages in the number of source lines, the latch A circuit 22 which latches K bits of the data controlled by the output of the respective stages of the shift registers 21 in parallel, the latch B circuit 23 which simultaneously latches the data of the circuit 22, a decoder 24 and analog switch groups 26 which select 2^K pieces of the voltages inputted from the outside by K bits of the latched data, as well as a level shifter 25 which matches the logic levels of the decoder 24 and the analog switches 26 (L, M, K are positive integers). The optimum means for driving the display which displays a large volume of digital information and makes the gradation display of a relatively low bit number is thereby obtd.



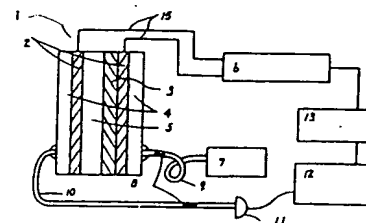
a: to source line 15

(54) METHOD FOR DRIVING LIGHT CONTROL BODY

(11) 63-304230 (A) (43) 12.12.1988 (19) JP
 (21) Appl. No. 62-140032 (22) 5.6.1987
 (71) ASAHI GLASS CO LTD (72) JUNICHI NAGAI(1)
 (51) Int. Cl. G02F1/17

PURPOSE: To obviate the deterioration of the element itself in outdoor environment by transmitting the light from a light source through a light control body, guiding the light through an optical fiber to a photodetecting element and controlling the transmittance of the light control body by detecting the intensity of the transmitted light.

CONSTITUTION: The light 8 of a laser or tungsten lamp or the like from the light source 7 passes the optical fiber 9 and transmits through the EC light control body 1, from which the light passes the optical fiber 10 and arrives at the photodetecting element 11. The element 11 which receives the light 8 sends the electric signal corresponding to the intensity of the received light to a transmittance calculating circuit 12. The data on the desired transmittance T_1 is previously stored in a transmittance comparator 13 which transmits an electric charge from a driving circuit 6 via a power line 15 to color the EC light control body 1 of $T_1 < T$ and to decolor the light control body 1 by the driving circuit 6 if $T_1 > T$. The light control body 1 can be controlled to the desired transmittance T_1 by repeating this operation. The constitution in which the element is not installed outdoors is thereby enabled and the deterioration of the element in the severe outdoor environment is decreased.



2: transparent electrode. 3: EC layer. 4: insulator substrate. 5: electrolyte layer

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-304228

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)12月12日

G 02 F 1/133

3 3 0

D-8708-2H

G 09 G 3/36

3 3 1

8708-2H

8621-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 昭62-139734

⑰ 出 願 昭62(1987)6月5日

⑱ 発 明 者 松 戸 利 充 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 佐 久 間 敏 幸 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑳ 発 明 者 菊 地 直 樹 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

㉑ 発 明 者 東 隆 雄 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

液 晶 表 示 装 置

2. 特許請求の範囲

1. 走査電極を選択する走査電極駆動回路及び表示電極を選択する表示電極駆動回路を有する時分割駆動方式の液晶表示装置において、電源投入時から所定の期間、前記走査電極をすべて非選択状態にするリセット回路を設けたことを特徴とする液晶表示装置。

2. 前記リセット回路は、電源投入時から所定の期間、外部又は内部コントローラから前記走査電極駆動回路に出力される表示開始信号をロウレベルに保持するように構成されていることを特徴とする特許請求の範囲第1項に記載の液晶表示装置。

3. 前記リセット回路は、前記走査電極駆動回路と前記コントローラとの間に設けられていることを特徴とする特許請求の範囲第2項に記載の液晶表示装置。

4. 前記リセット回路は、抵抗素子、容量素子及びアンド回路で構成されていることを特徴とする特許請求の範囲第1項乃至第3項に記載の夫々の液晶表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示装置に関し、特に、時分割駆動方式の液晶表示装置に適用して有効な技術に関するものである。

(従来の技術)

コンピュータ、卓上計算機等のディスプレイには、時分割駆動方式の液晶表示装置が使用されている。この種の液晶表示装置は、走査電極と表示電極との間に液晶分子を封入し、走査電極及び表示電極が選択された領域の液晶分子で点灯画素を形成するように構成されている。

前記走査電極は、行方向に延在し、列方向に複数配置されている。走査電極は、走査電極駆動回路に接続されている。走査電極駆動回路は、外付け又は内蔵されたコントローラの表示開始信号

に基づき、所定の走査電極を順次選択するように構成されている。

前記表示電極は、前記走査電極と交差する行方向に延在し、列方向に複数本配置されている。表示電極は、表示電極駆動回路に接続されている。表示電極駆動回路は、前記コントローラの表示データ信号に基づき、所定の表示電極を選択するように構成されている。

なお、時分割駆動方式の液晶表示装置については、例えば、日経マグロウヒル社、「日経エレクトロニクス」、1980年8月18日号、pp.150～174に記載されている。

〔発明が解決しようとする問題点〕

本発明者は、前述の時分割駆動方式の液晶表示装置の開発中に、次のような問題点が生じることを見出した。前記液晶表示装置の走査電極駆動回路にはコントローラからの表示開始信号が直接入力し、表示電極駆動回路には同様にコントローラからの表示データ信号が直接入力している。ところが、液晶表示装置の電源投入時からしばらくの間、

コントローラから出力される表示開始信号、表示データ信号が不確定であるので、液晶表示が異常に乱れる。つまり、走査電極、表示電極の夫々が不必要に選択され、液晶層に余分な直流成分が印加される。このため、液晶表示素子の耐久性が劣化するという問題点を生じる。

また、液晶表示装置の電源投入時からしばらくの間、液晶表示が非常に見苦しいという問題点を生じる。

本発明の目的は、時分割駆動方式の液晶表示装置において、液晶表示素子の耐久性を向上することが可能な技術を提供することにある。

本発明の他の目的は、時分割駆動方式の液晶表示装置において、電源投入時から所定の期間、液晶表示部を表示させないことが可能な技術を提供することにある。

本発明の他の目的は、時分割駆動方式の液晶表示装置において、電源投入時から所定の期間における液晶表示の見苦しさを低減することが可能な技術を提供することにある。

本発明の他の目的は、前記夫々の目的を簡単な構成によって達成することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

時分割駆動方式の液晶表示装置において、電源投入時から所定の期間、前記走査電極を全て非選択状態にするリセット回路を設ける。

〔作用〕

上述した手段によれば、電源投入時から所定の期間、液晶層に余分な直流成分が印加されないため、液晶表示素子の耐久性を向上することができる。

また、電源投入時から所定の期間、液晶表示を行わないので、液晶表示の見苦しさを低減するこ

とができる。

以下、本発明の構成について、コンピュータや卓上計算機で使用される時分割駆動方式の液晶表示装置に本発明を適用した実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例〕

〔実施例Ⅰ〕

本発明の実施例Ⅰである時分割駆動方式の液晶表示装置の概略構成を第1図(ブロック図)で示す。

第1図に示すように、時分割駆動方式の液晶表示装置は、走査電極2及び表示電極3で液晶表示部1を構成している。走査電極2と表示電極3との間には、配向膜を介して、液晶分子が封入されている。

前記走査電極2は、行方向に延在し、列方向に複数本配置されている。夫々の走査電極2は、走査電極駆動回路4に接続されている。

走査電極駆動回路4は、シフトレジスタ回路4A及びセレクトスイッチ回路4Bで構成されている。シフトレジスタ回路4Aは、コントローラ回路6から出力される表示開始信号FLMと、この表示開始信号FLMをシフトするクロック信号CLとが入力される。表示開始信号FLMは、一回面走査開始時(第一番目の走査電極2の選択時)に、走査電極2がハイレベル“H”となる信号である。セレクトスイッチ回路4Bは、複数の電源レベルを形成する電源回路7からの所定電圧と、交流化信号Mとが入力される。前記コントローラ回路6は、通常、時分割駆動方式の液晶表示装置に外付けされているが、それに内蔵されていてもよい。

この走査電極駆動回路4は、コントローラ回路6の表示開始信号FLM“H”に基づき、走査電極2を順次選択するように構成されている。

前記表示電極3は、前記走査電極2と交差する列方向に延在し、行方向に複数本配置されている。表示電極3は、表示電極駆動回路5に接続されて

いる。

表示電極駆動回路5は、シフトレジスタ回路5A、データラッチ回路5B及びセレクトスイッチ回路5Cで構成されている。シフトレジスタ回路5Aは、前記コントローラ回路6からの表示データ信号Dと、この表示データ信号Dをシフトするクロック信号CLとが入力される。表示データ信号Dは、選択される表示電極3を“H”とし、非選択の表示電極3を“L”とする。データラッチ回路5Bは、走査電極駆動回路4のシフトレジスタ回路4Aとの同期を取るため、クロック信号CLが入力される。セレクトスイッチ回路5Cには、電源回路7からの所定電圧と、交流化信号Mとが入力される。

この表示電極駆動回路5は、前記コントローラ回路6からの表示データ信号Dに基づき、各表示電極3を同時に選択あるいは非選択の状態にするように構成されている。

走査電極2、表示電極3の交々が選択された領域の液晶表示部は、点灯圖案を形成するように構

成されている。

このように構成される時分割駆動方式の液晶表示装置は、走査電極駆動回路4のシフトレジスタ回路4Aとコントローラ回路6との間に、リセット回路8が設けられている。リセット回路8は、液晶表示装置の電源投入時から所定の期間、走査電極2をすべて非選択状態(ロウレベル“L”)にするように構成されている。

リセット回路8は、図示しない電源投入スイッチを介させて電源Vに接続された抵抗素子R、この抵抗素子Rに直列接続された容量素子C、及び一端子にコントローラ回路6からの表示開始信号FLMが直接入力し、他端子に前記電源Vからの遅延された電源が入力するアンド回路ANDで構成されている。アンド回路ANDの出力は、シフトレジスタ回路4Aに入力される。つまり、リセット回路8は、電源を投入すると、電源Vから抵抗素子Rを通して流れた電流によって容量素子Cが充電され、この容量素子Cの充電後の充電レベルと表示開始信号FLMとの論理積によって、

シフトレジスタ回路4Aに表示開始信号FLMが入力されるように構成されている。このリセット回路8は、電源を投入後、容量素子Cが充電されるまでの間、シフトレジスタ回路4Aにはアンド回路ANDから“L”を出力し、全ての走査電極2を非選択状態にすることができる。この表示開始信号FLMの遅延時間(電源投入時から所定の期間)は、コントローラ回路6からの表示データ信号D及びクロック信号CL、CLが確定(安定)する時間よりも長くする。表示開始信号FLMの遅延時間は、前記抵抗素子Rと容量素子Cとで制御する。

このように、時分割駆動方式の液晶表示装置に、電源投入時から所定の期間、前記走査電極2をすべて非選択状態にするリセット回路8を設けることにより、電源投入時から所定の期間、液晶層に余分な直流成分が印加されないため、液晶表示素子の耐久性を向上することができる。

また、電源投入時から所定の期間、液晶表示部1の表示を行わないので、液晶表示の見苦しさを

低減することができる。

また、定電圧駆動回路4とコントローラ回路6との間にリセット回路8を設けることにより、リセット回路8自体を簡単な構成にすることができる。液晶表示部1の表示を行わないようにするために、電源回路7にスイッチ等を設けると、電源回路7そのものが複雑な構成になり、又表示電極駆動回路5にリセット回路を設けると、表示データ信号Dが複数の場合に複数のリセット回路が必要となる。すなわち、本実施例の時分割駆動方式の液晶表示装置は、1つのリセット回路8によって、電源投入時から所定の期間、液晶表示部1の表示を行わないようにすることができる。

(実施例Ⅱ)

本実施例Ⅱは、時分割駆動方式の液晶表示装置に、前記実施例Ⅰと異なるリセット回路を設けた、本発明の他の実施例である。

本発明の実施例Ⅱである時分割駆動方式の液晶表示装置に設けられたリセット回路を第2図(回路図)で示す。

4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰである時分割駆動方式の液晶表示装置の概略構成を示すブロック図。

第2図は、本発明の実施例Ⅱである時分割駆動方式の液晶表示装置に設けられたリセット回路の回路図である。

図中、1…液晶表示部、2…定電圧、3…表示電極、4…定電圧駆動回路、5…表示電極駆動回路、6…コントローラ回路、8…リセット回路、V…電圧、R…抵抗素子、C…容量素子、AND…アンド回路、FLM…表示開始信号である。

代理人 井理士 小川勝男

第2図に示すように、時分割駆動方式の液晶表示装置に設けられたリセット回路8は、容量素子C、抵抗素子R、インバータ回路INV及びアンド回路ANDで構成されている。このリセット回路8は、前記実施例Ⅰと同様に、容量素子Cの充電レベルと表示開始信号FLMとの論理積によって、表示開始信号FLMを遅延するように構成されている。

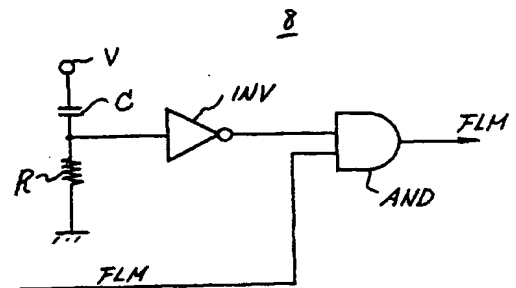
以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

時分割駆動方式の液晶表示装置において、液晶表示部の液晶表示素子の耐久性を向上することができる。

第2図



第 1 圖

